

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-109891

(43)Date of publication of application : 23.04.1999

(51)Int.Cl.

G09F 9/33  
B41J 2/44  
B41J 2/45  
B41J 2/455  
G02F 1/135

(21)Application number : 09-264481

(71)Applicant : FUJI PHOTO FILM CO LTD

(22)Date of filing : 29.09.1997

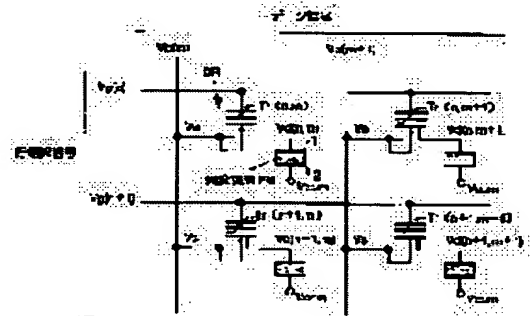
(72)Inventor : KIMURA KOICHI

## (54) TWO-DIMENSIONAL ACTIVE MATRIX TYPE LIGHT MODULATION ELEMENT AND TWO-DIMENSIONAL ACTIVE MATRIX TYPE LIGHT EMITTING ELEMENT

### (57)Abstract:

PROBLEM TO BE SOLVED: To configure an active matrix type light modulation element and a light emitting element having less number of elements per one picture element and a memory function and further making rapidly write-in possible.

SOLUTION: In a picture element circuit, which composes one picture element of a light modulation element consisting of plural picture elements of a two-dimensional matrix structure, a driving circuit DR for driving a light modulation layer PM is composed of a ferroelectric substance gate FET (Tr), and a picture electrode 1 of each picture element is connected with a drain at the ferroelectric substance gate FET (Tr), and a voltage Vcom is impressed on a counter electrode 2. And, both source electrodes and substrate electrodes of the same row composing the matrix are connected together, and data signal Vb is inputted by each row. Moreover, gate electrodes of the same line are connected together and a line selection signal Vg is inputted by every line as unit.



### LEGAL STATUS

[Date of request for examination] 19.09.2003

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

Best Available Copy

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-109891

(43) 公開日 平成11年(1999) 4月23日

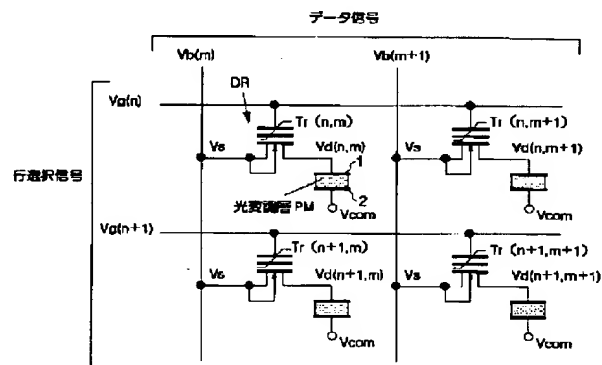
(51) Int. Cl. <sup>8</sup>	識別記号	F I		
G 0 9 F 9/33		G 0 9 F 9/33		M
B 4 1 J 2/44		G 0 2 F 1/135		
	2/45	B 4 1 J 3/21		L
	2/455			
G 0 2 F 1/135				
審査請求 未請求 請求項の数11 O L (全 11 頁)				
(21) 出願番号	特願平9-264481	(71) 出願人	000005201 富士写真フイルム株式会社 神奈川県南足柄市中沼210番地	
(22) 出願日	平成9年(1997) 9月29日	(72) 発明者	木村 宏一 静岡県富士宮市大中里200番地 富士写真 フイルム株式会社内	
		(74) 代理人	弁理士 柳田 征史 (外1名)	

(54) 【発明の名称】 2次元アクティブマトリクス型光変調素子並びに2次元アクティブマトリクス型発光素子

## (57) 【要約】

【課題】 1画素当たりの素子数が少なく、メモリー機能を有し、また、高速書込みを可能なしめる、アクティブマトリクス型の光変調素子並びに発光素子を構成する。

【解決手段】 2次元マトリクス構成の複数の画素からなる光変調素子の1画素を構成する画素回路において、光変調層PMを駆動する駆動回路DRを強誘電体ゲートFET (Tr) により構成するものとし、各画素の画素電極1を強誘電体ゲートFET (Tr) のドレインに接続し、対向電極2には電圧Vcomを印加する。そして、マトリクスを構成する同じ列のソース電極とサブストレート電極を共に接続し、列単位でデータ信号Vbを入力する。また、同じ行のゲート電極を共に接続し、行単位で行選択信号Vqを入力する。



## 【特許請求の範囲】

【請求項1】 行と列からなる2次元マトリクス状に配置された複数の画素電極と、

これらの各画素電極との間に光変調層を介して配置された複数の対向電極とからなり、

前記光変調層が、該光変調層に入射した光を、これら両電極間の印加電圧に応じて変調するものである2次元アクティブマトリクス型光変調素子において、

前記画素電極の各々に接続された強誘電体ゲートFETにより構成される駆動回路を備えていることを特徴とする2次元アクティブマトリクス型光変調素子。

【請求項2】 前記駆動回路が、前記強誘電体ゲートFETへのデータの書き込みを行順次で行うものであることを特徴とする請求項1記載の2次元アクティブマトリクス型光変調素子。

【請求項3】 前記駆動回路が、全画素分のデータを書き込んだ後に、前記光変調層を駆動する電圧を、全画素共通に、前記対向電極と前記画素電極との間に印加するものであることを特徴とする請求項1または2記載の2次元アクティブマトリクス型光変調素子。

【請求項4】 前記駆動回路が、前記強誘電体ゲートFETの強誘電体ゲートを一方の分極状態に変化させた後に、データの入力に応じて前記分極状態を他方の分極状態に変化させるか、若しくは前記一方の状態を維持させるように、データの書き込みを行うものであることを特徴とする請求項1から3いずれか1項記載の2次元アクティブマトリクス型光変調素子。

【請求項5】 前記駆動回路が、前記強誘電体ゲートFETのゲート電極で行選択を行い、ソース、ドレイン、サブストレート電極又はバックゲート電極でデータを書き込むものであることを特徴とする請求項1から4いずれか1項記載の2次元アクティブマトリクス型光変調素子。

【請求項6】 前記駆動回路が、2値のスタック駆動により変調するものであることを特徴とする請求項1から5いずれか1項記載の2次元アクティブマトリクス型光変調素子。

【請求項7】 行と列からなる2次元マトリクス状に配置された複数の画素電極と、

これらの各画素電極との間に発光層を介して配置された複数の対向電極とからなり、

前記発光層が、これら両電極間に流れる電流に応じて発光するものである2次元アクティブマトリクス型発光素子において、

前記画素電極の各々に接続された強誘電体ゲートFETにより構成される駆動回路を備えていることを特徴とする2次元アクティブマトリクス型発光素子。

【請求項8】 前記駆動回路が、前記強誘電体ゲートFETへのデータの書き込みを行順次で行うものであることを特徴とする請求項7記載の2次元アクティブマトリ

クス型発光素子。

【請求項9】 前記駆動回路が、全画素分のデータを書き込んだ後に、前記発光層を駆動する電流を、全画素共通に、前記対向電極と前記画素電極との間に流すものであることを特徴とする請求項7または8記載の2次元アクティブマトリクス型発光素子。

【請求項10】 前記駆動回路が、前記強誘電体ゲートFETの強誘電体ゲートを一方の分極状態に変化させた後に、データの入力に応じて前記分極状態を他方の分極状態に変化させるか、若しくは前記一方の状態を維持させるように、データの書き込みを行うものであることを特徴とする請求項7から9いずれか1項記載の2次元アクティブマトリクス型発光素子。

【請求項11】 前記駆動回路が、前記強誘電体ゲートFETのゲート電極で行選択を行い、ソース、ドレイン、サブストレート電極又はバックゲート電極でデータを書き込むものであることを特徴とする請求項7から10いずれか1項記載の2次元アクティブマトリクス型発光素子。

## 20 【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、フラットディスプレイ、ビデオプロジェクター等の表示装置、或いは感光材料への露光装置等に用いられる液晶、DMD（デジタルミラーデバイス）光アドレス型空間光変調素子、並びに、薄膜EL、有機EL、LED、FED（フィールドエミッションディスプレイ）等の2次元アクティブマトリクス型発光素子に関するものである。

【0002】

30 【従来の技術】従来より、上記のフラットディスプレイ等を構成するために、液晶、DMD、薄膜EL、有機EL、LED、FEDなどの2次元マトリクス型の光変調素子や発光素子が用いられている。

【0003】この2次元マトリクス型光変調素子の基本的な構成は、行と列からなる2次元マトリクス状に配置された複数の画素電極と、これらの画素電極との間に間隙を置いて配置された対向電極と、入射した光を、これら両電極間の印加電圧に応じて変調する光変調層とを備えている。この光変調素子は、基板上にマトリクス状に形成された半導体の画素回路により画像データの書き込みと各種光機能素子の駆動を画素毎に独立に行うアクティブマトリクス型が有効な方式である（この種の光変調素子を特に「2次元アクティブマトリクス型光変調素子」と称す。）。

【0004】また、2次元マトリクス型発光素子は、上述の光変調素子における光変調層を、両電極間に流れる電流に応じて発光する発光層に置き換えたものである。

50 【0005】以下、2次元マトリクス型光変調素子について詳しく説明する。

【0006】図1は、強誘電性液晶を光変調層に用いた、基本的な2次元アクティブマトリクス型光変調素子の1画素の等価回路を示す。ここに示されているように、2次元アクティブマトリクス型発光素子の画素回路は、画素電極1と対向電極2との間に両電極間の印加電圧に応じて変調する光変調層PMが備えられている。対向電極2には全画素共通の電圧（共通電極電位） $V_{com}$ が印加され、画素電極1にはMOS-FETのソース（又はドレイン）が接続され、ドレイン（又はソース）はデータ信号（列選択信号）線に接続され電圧 $V_d$ が印加される。一方、MOS-FETのゲートは行選択信号線に接続され電圧 $V_g$ が印加される。また、画素電極1とMOS-FETの接続点には蓄積容量が接続されている。

【0007】強誘電性液晶などの高速応答2次元アクティブマトリクス型光変調素子で感光材料などに高速露光する場合、図1に示されるような、MOS-FET（又はMIS-FET）と蓄積容量 $C_1$ による従来のアクティブ回路では、データ書き込み時に必要な電荷をチャージする時間や、液晶の安定応答を確保する時間が必要なため、データ書き込み時間が長くなってしまふ。このため、短時間でデータを書き込むためにはマトリクスのアクティブ回路としてはメモリー回路が使用されるのが一般的である。

【0008】また、従来の液晶（特に強誘電性液晶などの有限な安定状態をとる液晶）、DMD、薄膜EL、FED等の光変調素子または光発光素子は有限な安定状態を有しているか、又は急峻な階調特性を有しているため、連続階調制御が困難である。このため、これらの2次元アクティブマトリクス型光変調素子では、時間変調による階調制御が一般的に行われている。

【0009】具体例としては、図2に示すような階調制御が行われる。すなわち、期間 $T_w$ で全画素に2値のデータを書き込み、その後書き込まれたデータに従って一定時間表示する。1フィールド内にこのシーケンスを複数回行い、各々の表示時間を変えることにより多階調表示を行うことができる。この場合、書き込まれたデータは安定に記憶される必要があり、また高速に書き込まれる必要がある。このような目的を達成するために、マトリクスのアクティブ回路としては、一般にメモリー回路が使用されることが多い。

【0010】図3はメモリー回路で構成されたアクティブ回路を示すものである。このような構成では、アクティブ回路としてメモリー性を有するSRAM回路を使用し、2値のデータを書き込む。書き込み時間はSRAM回路のアクセス時間となり高速の書き込みが可能である。出力 $V_{out}$ は2値の安定した電位であり、共通電極電位 $V_{com}$ との電圧が光変調層PMに印加され、変調することができる。

【0011】

【発明が解決しようとする課題】しかし、図3に示すよ

うなSRAM回路では、一般にMOS-FETが6個～8個は必要であり、数十万から百万画素を越えるような高精細な2次元マトリクスのアクティブ回路に使用するには、素子の面積が大きくなりコストが高くなる。また、画素サイズをより小さくしたい場合にもトランジスタの数が多く限界がある。

【0012】本発明は上記事情に鑑みてなされたものであり、1画素当たりのトランジスタ数が少ない構成でメモリー機能を有し、また、高速書き込みを可能なしめる2次元アクティブマトリクス型の光変調素子並びに発光素子を提供することを目的とするものである。

【0013】

【課題を解決するための手段】本発明による2次元アクティブマトリクス型の光変調素子並びに発光素子は、2次元マトリクスのアクティブ回路として、強誘電体ゲートFETを使用し、特に行順次で画像データを高速に書き込む基本構成とアドレッシング方法により、1画素当たり1個（或いは2個）のトランジスタの構成でメモリー機能を有し、高速書き込みを可能とするものである。

【0014】すなわち、本発明による2次元アクティブマトリクス型光変調素子は、行と列からなる2次元マトリクス状に配置された複数の画素電極と、これらの各画素電極との間に光変調層を介して配置された複数の対向電極とからなり、前記光変調層が、該光変調層に入射した光を、これら両電極間の印加電圧に応じて変調するものである2次元アクティブマトリクス型光変調素子であって、前記画素電極の各々に接続された強誘電体ゲートFETにより構成された駆動回路を備えていることを特徴とするものである。

【0015】このような2次元アクティブマトリクス型光変調素子においては、前記駆動回路が、前記強誘電体ゲートFETへのデータの書き込みを行順次で行うものであることが好ましい。

【0016】また、前記駆動回路は、全画素分のデータを書き込んだ後に、前記光変調層を駆動する電圧を、全画素共通に、前記対向電極と前記画素電極との間に印加するもの、或いは、前記強誘電体ゲートFETの強誘電体ゲートを一方の分極状態に変化させた後に、データの入力に応じて前記分極状態を他方の分極状態に変化させるか、もしくは前記一方の状態を維持させるように、データの書き込みを行うもの、更には、前記強誘電体ゲートFETのゲート電極で行選択を行い、ソース、ドレイン、サブストレート電極又はバックゲート電極でデータを書き込むものであってもよい。

【0017】さらに、前記駆動回路は、2値のスタチック駆動により変調するものであってもよい。

【0018】一方、本発明による2次元アクティブマトリクス型発光素子は、行と列からなる2次元マトリクス状に配置された複数の画素電極と、これらの画素電極との間に発光層を介して配置された複数の対向電極とから

なり、前記発光層が、これら両電極間に流れる電流に応じて発光するものである2次元アクティブマトリクスマトリクス型発光素子であって、前記画素電極の各々に接続された強誘電体ゲートFETにより構成された駆動回路を備えていることを特徴とするものである。

【0019】このような2次元アクティブマトリクスマトリクス型発光素子においては、前記駆動回路は、前記強誘電体ゲートFETへのデータの書き込みを行順次で行うものであることが好ましい。

【0020】また、前記駆動回路は、全画素分のデータを書き込んだ後に、前記発光層を駆動する電流を、全画素共通に、前記対向電極と前記画素電極との間に流すもの、或いは、前記強誘電体ゲートFETの強誘電体ゲートを一方の分極状態に変化させた後に、データの入力に応じて前記分極状態を他方の分極状態に変化させるか、もしくは前記一方の状態を維持させるように、データの書き込みを行うもの、更には、前記強誘電体ゲートFETのゲート電極で行選択を行い、ソース、ドレイン、サブストレート電極又はバックゲート電極でデータを書込むものであってもよい。

【0021】なお、上記「強誘電体ゲートFET」とあるのは、従来のMIS-FETのゲート電極と半導体の間にPZT（チタンジルコン酸鉛、 $\text{Pb}(\text{Zr}, \text{Ti})\text{O}_3$ ）等の強誘電体を形成したトランジスタ（FET）であり、高速アクセスが可能（ $\sim 100\text{ns}$ ）で1bit当たり1個のFETで不揮発性RAMが構成できるものである。この強誘電体ゲートFETは、ゲート部の構成により幾つかの種類があり、代表的なものではMFS（金属/強誘電体/半導体）構造の強誘電体ゲートFET、MFMIS（金属/強誘電体/金属/絶縁体/半導体）構造の強誘電体ゲートFETなどが知られている（参考：NAKAJIMA et al. 1995 IEEE Int. Solid-State Circuits Conf., Digest of Technical Papers, pp.68-69(1995)）。

【0022】

【発明の効果】本発明による2次元アクティブマトリクス型の光変調素子並びに発光素子は、2次元マトリクスのアクティブ回路として、メモリー性のある強誘電体ゲートFETを使用して構成したものであり、強誘電体ゲートFET1個がメモリーとして作用し得るものであるから、従来のようにトランジスタを6～8個使用してSRAMを構成していたのに対してトランジスタ数を少なくすることが可能である。また、行順次で画像データを高速に書き込むこともできるから、高速書き込みに対応した2次元アクティブマトリクス型の光変調素子並びに発光素子を構成することも可能となる。

【0023】

【発明の実施の形態】以下図面を参照して、本発明に係る2次元アクティブマトリクス型の光変調素子並びに発光素子の実施の形態について詳細に説明する。

【0024】最初に図4～図6を参照して、本発明に用

いられる強誘電体ゲートFETについて簡単に説明する。

【0025】図4（A）はnチャネル型-MFMIS構造の強誘電体ゲートFET（nch-MFMIS型FET）の縦断面図である。図示されているように、単結晶の $p^-$ 型シリコン半導体基板10上には、n-MOS-FETが形成されている。n-MOS-FETは夫々 $n^+$ 型のドレイン領域13並びにソース領域14と、ゲート絶縁膜15、第1導電膜16、強誘電体膜17、第2導電膜18の順に $p^-$ 型シリコン半導体基板10上に積層されたゲート領域で構成されている。なお、ドレイン領域13はドレイン電極13aに、ソース領域14はソース電極14aに、第2導電膜18はゲート電極18aに、 $p^-$ 型シリコン半導体基板10はサブストレート電極10aに夫々接続されており、これら電極には電圧 $V_d$ 、 $V_s$ 、 $V_g$ 、 $V_b$ が夫々印加されるようになっている。図4（B）はこのような構成の強誘電体ゲートFETの回路記号を示す。

【0026】なお、本発明に用いられる強誘電体ゲートFETとしては、上述のMFMIS構造のものに限らず、MFS構造のものやMFIS構造のもの等も使用することができる。

【0027】以下、図5および図6を参照して、上述のMFMIS構造の強誘電体ゲートFET（MFMIS型FET）の基本特性について説明する。図5（A）はFETのソース電極に対するゲート電極の電圧（ゲート・ソース間電圧）を $V_{gs}$ とし、ゲート・ソース間電圧 $V_{gs}$ が正のときの強誘電体膜17の分極方向を示し、同図（B）は負のときの強誘電体膜17の分極方向を示す。また、同図

（C）は各電極に印加される電圧 $V_d$ 、 $V_s$ 、 $V_g$ 、 $V_b$ を含めた強誘電体ゲートFETの電気的特性を測定する回路を示す。なお、 $I_d$ はドレイン電流を示す。図5（C）の等価回路で示される強誘電体ゲートFETのドレイン電流対ゲート電圧の特性（ $I_d-V_{gs}$ 特性）は図6のようになる。

【0028】図6から明らかなように、 $I_d-V_{gs}$ 特性はいわゆるヒステリシス特性を有するので、ゲート電圧 $V_g$ を制御することにより、強誘電体膜17の分極方向（極性）を変化させることができる。これにより、FETのゲート電圧の閾値が変化し、ゲート・ソース間電圧 $V_{gs}$ が所定の範囲内であれば $V_{gs}$ の履歴により2つの導通状態を得ることができる。したがって、ゲート・ソース間電圧 $V_{gs}$ が同じであっても、図6のaからa'に移行した場合はドレイン・ソース間が導通状態となり、bからb'に移行した場合は非導通状態となる。この状態は新たに分極状態を変えない限り半永久的に記憶される。すなわち、強誘電体ゲートFETは、ゲート電圧の極性を制御することにより強誘電体の自発分極が反転し、FETの閾値電圧が変化するので、あるゲート電圧範囲では、強誘電体の分極状態でドレイン・ソース間が導通/非導通となり、この状態は半永久的に保持されるとい

う、メモリー性のあるトランジスタとして機能するものである。

【0029】次に、本発明による強誘電体ゲートFETを1個用いた2次元アクティブマトリクス型の光変調素子並びに発光素子の2次元マトリクスの構成と駆動方法について詳細に説明する。図7は、本発明による2次元アクティブマトリクス型光変調素子のマトリクスの一部の等価回路を示したものである。この図は、2次元マトリクス構成の複数の画素からなる光変調素子の、m列およびm+1列、並びにn行およびn+1行の画素回路を示しており、強誘電体ゲートFET(Tr)と光変調層PM等からなる各画素回路の同じ列のソース電極とサブストレート電極が共に接続され、列単位でデータ信号Vb(m)またはVb(m+1)が入力され、また、同じ行のゲート電極が共に接続され、行単位で行選択信号Vq(n)またはVq(n+1)が入力される。各画素の画素電極1は強誘電体ゲートFET(Tr)のドレインに接続され、対向電極2には電圧Vcomが印加される。以下、この構成における駆動方法について説明する。

【0030】行選択信号を同一行FETのゲート電極に接続し、書き込みのための行選択を行う。また、データ信号を同一列FETのソース電極に接続し、行選択と同期させてFETの導電性を変化(導通/非導通)させるためのデータ(電圧)を印加する。これによりデータ書き込みが行われる。

【0031】但し、この時、非選択行のFETの導通状態を変化させない(維持させる)ように、各々の行選択信号、データ信号の電圧を印加する必要がある。

【0032】ここで、ONが書き込まれると、FETの強誘電体層の分極状態は図5(A)に示す状態となり、所定の電極条件でFETは導通状態となり、ドレイン電極電圧Vdはソース電極電圧Vsに略等しくなる。一方、OFFが書き込まれると、強誘電体の分極状態は図5(B)に示す状態となり、所定の電極条件でFETは非導通状態となる。

【0033】次に、行順次にデータを書き込み、全FETにデータを書き込んだ後、ソース電極電圧Vdと、共通電極電位Vcomとして光変調層PMを駆動するのに十分な電圧を印加する。電圧Vs-VcomをVopとすると、ONのFETに接続された光変調層の電圧Vmod(ON)は、略Vopとなり、光変調層PMは変調状態となる。一方、OFFのトランジスタに接続された光変調層PMの電圧Vmod(OFF)は、略ゼロとなり、光変調層PMは非変調状態となる。これは、光変調層PMの容量Cmod、ソース電極の寄生容量Csとした場合、Cmod>Csであれば、Vmod(OFF)ゼロとなるからである。

【0034】次に、図8～図12および表1を参照して、より具体的に説明する。

【0035】最初に、OFFの分極状態にする。この時のVqsをVqs(off)、ON状態からOFF状態に変化させるために必要なソースゲート間電圧Vqs(すなわち、OFF飽和電圧)をVs(H)とすると、

$$V_{qs(off)} \leq V_{s(H)}$$

のとき、以前の状態に拘わらず、分極状態は必ずOFFとなる(図8参照)。

【0036】次に、行順次で選択を行い、データを書き込む。選択された行の画素の場合であって、データ線がONの場合、分極状態をONにする。この時のVqsをVqs(s-on)、OFF状態からON状態に変化させるために必要なソースゲート間電圧Vqs(すなわち、ON飽和電圧)をVs(L)とすると、

$$V_{qs(s-on)} \geq V_{s(L)}$$

のとき、以前の状態に拘わらず、分極状態は必ずONとなる(図9参照)。

【0037】また、選択された行の画素の場合であって、データ線がOFFの場合、分極状態をOFF状態に維持する。この時のVqsをVqs(s-off)、OFF状態がON状態に向かって変化する直前のソースゲート間電圧Vqs(すなわち、ON閾値電圧)をVth(L)とすると、

$$V_{qs(s-off)} \leq V_{th(L)}$$

のとき、以前のOFF状態を維持する(図10参照)。

【0038】一方、非選択(選択されていない)行の画素の場合であって、データ線がONの場合、分極状態を維持する。この時のVqsをVqs(ns-on)、ON状態がOFF状態に向かって変化する直前のソースゲート間電圧Vqs(すなわち、OFF閾値電圧)をVth(H)とすると、

$$V_{th(H)} \leq V_{qs(ns-on)} \leq V_{th(L)}$$

のとき、以前の状態に拘わらず、分極状態は以前の状態を維持する(図11参照)。

【0039】また、非選択行の画素の場合であって、データ線がOFFの場合、分極状態を維持する。この時のVqsをVqs(ns-off)とすると、

$$V_{th(H)} \leq V_{qs(ns-off)} \leq V_{th(L)}$$

のとき、以前の状態に拘わらず、分極状態は以前の状態を維持する(図12参照)。

【0040】行選択信号電圧Vqと、データ信号電圧Vbの組み合わせ、およびそれらの合成電圧Vqs(=Vq-Vb)との関係を表1に示す。

【0041】

【表1】

		データ信号電圧 $V_b$	
		ON	OFF
行選択信号電圧 $V_g$		$V_b(\text{on})$ 0	$V_b(\text{off})$ 0
	OFF書き込み (リセット) $V_g(r)$	$V_{gs(r-on)} \leq V_s(H)$ $V_s(L)$ 0 $V_s(H)$	$V_{gs(r-off)} \leq V_s(H)$ $V_s(L)$ 0 $V_s(H)$
	選択 $V_g(s)$	$V_{gs(s-on)} \geq V_s(L)$ $V_s(L)$ 0	$V_{gs(s-off)} \leq V_{th}(L)$ $V_{th}(L)$ 0
	非選択 $V_g(ns)$	$V_{gs(ns-on)} \leq V_{th}(L)$ $V_{th}(L)$ 0	$V_{gs(ns-off)} \geq V_{th}(H)$ $V_{th}(H)$ 0

【0042】前記の各電圧の組み合わせと条件より、以下のような関係式が求められる。

【0043】

$$V_{gs(r-on)} = V_q(r) - V_b(on) \leq V_s(H) \quad (1)$$

$$V_{gs(r-off)} = V_q(r) - V_b(off) \leq V_s(H) \quad (2)$$

$$V_{gs(s-on)} = V_q(s) - V_b(on) \geq V_s(L) \quad (3)$$

$$(1), (2) \text{より } V_q(r) - V_b(on) \leq V_s(H) \quad (7)$$

$$(3), (4) \text{より } V_b(off) - V_b(on) \geq V_s(L) - V_{th}(L) \quad (8)$$

$$(5), (6) \text{より } V_b(off) - V_b(on) \leq V_{th}(L) - V_{th}(H) \quad (9)$$

$$(3), (5) \text{より } V_q(s) - V_q(ns) \geq V_s(L) - V_{th}(L) \quad (10)$$

$$(4), (6) \text{より } V_q(s) - V_q(ns) \leq V_{th}(L) - V_{th}(H) \quad (11)$$

ここで、

$$V_b(off-on) = V_b(off) - V_b(on)$$

$$V_q(s-ns) = V_q(s) - V_q(ns)$$

※

$$V_s(L) - V_{th}(L) \leq V_b(off-on) \leq V_{th}(L) - V_{th}(H) \quad (12)$$

$$V_s(L) - V_{th}(L) \leq V_q(s-ns) \leq V_{th}(L) - V_{th}(H) \quad (13)$$

以上の条件をまとめると、次の条件で、行順次のデータ書き込みが可能となる。

【0045】(a) OFF書き込み(リセット)のためには、

$$V_q(r) - V_b(on) \leq V_s(H)$$

(b) 行順次のデータ書き込みのためには、

$$V_s(L) - V_{th}(L) \leq V_b(off-on) \leq V_{th}(L) - V_{th}(H)$$

$$* V_{qs(s-off)} = V_q(s) - V_b(off) \leq V_{th}(L) \quad (4)$$

$$V_{qs(ns-on)} = V_q(ns) - V_b(on) \leq V_{th}(L) \quad (5)$$

$$30 \quad V_{qs(ns-off)} = V_q(ns) - V_b(off) \geq V_{th}(H) \quad (6)$$

(6)

ここで、 $V_b(off) - V_b(on) > 0$ とし、 $V_q, V_b$

の電圧条件を整理すると、

※とすると、(8)~(9)より次の条件が求められる。

40 【0044】

$$V_s(L) - V_{th}(L) \leq V_q(s-ns) \leq V_{th}(L) - V_{th}(H)$$

次に、図13および図14を参照して、データ書き込み方法について説明する。図13に示されるような、2行×2列のマトリクス回路において、次のデータを書き込むものとする。

【0046】

50  $Tr(1,1) \rightarrow ON$

$Tr(1,2) \rightarrow OFF$

Tr(2,1)→OFF Tr(2,2)→ON

図13に示される構成において、図14に示すような電圧波形となるように所定の電圧を夫々のFET(Tr(1,1)~Tr(2,2))に印加すると、各FETに所望のデータが行順次で書き込まれ、FETの分極状態はメモリーされる。

【0047】したがって、図14に示すような波形を各電極に印加すれば全画素に高速データ書き込みが可能となる。例えば、1000行のマトリクスに1行当たり1μsでデータを書き込んだ場合、全画素には1msでデータ書き込みが完了する。

【0048】前述のように、強誘電体ゲートFETのゲート分極状態を変えた後、V<sub>qs</sub>の電圧範囲が図6のV<sub>qs</sub>(L)~V<sub>qs</sub>(H)であれば、書き込まれたデータに従って導通/非導通のスイッチ動作が可能となる。図15は強誘電体ゲートFETのスイッチ動作を説明する等価回路図を表したものであり、同図(B)は同図(A)のFETがON状態を示し、同図(B)はFETがOFF状態を示す。

【0049】ここで、V<sub>b</sub>(op)をV<sub>com</sub>に対して所定の電位とした場合、全画素共通にV<sub>b</sub>にはV<sub>b</sub>(op)を印加し、V<sub>g</sub>にはV<sub>b</sub>(op)+V<sub>qs</sub>(L)≤V<sub>g</sub>≤V<sub>b</sub>(op)+V<sub>qs</sub>(H)なる条件の電圧を印加すると、V<sub>qs</sub>(=V<sub>g</sub>-V<sub>b</sub>)は必ずV<sub>qs</sub>(L)≤V<sub>g</sub>≤V<sub>qs</sub>(H)の条件を満たし、書き込まれたデータは変化しない。このとき、ON状態のFETに接続された光変調層PMの電圧は略V<sub>b</sub>(op)となり、光変調層PMは変調状態となる。一方、OFF状態のFETに接続された光変調層PMの電圧は略ゼロとなり、光変調層PMは非変調状態となる。

【0050】図15に示す例では、強誘電体ゲートFETは単純なスイッチ素子として動作するが、光変調層PMを発光層に置き換えて定電流駆動させれば、電流注入型であるLED、有機EL、FED、エレクトロクロミック素子などが駆動できる(図16参照)。すなわち、図16に示すような画素回路とすることにより、2次元アクティブマトリクス型のLED、有機EL、FED、エレクトロクロミック素子を構成することができる。

【0051】また、V<sub>b</sub>(on)-V<sub>com</sub>間に交流電圧V<sub>ac</sub>を印加すれば、液晶、薄膜ELなどの電圧駆動が駆動できる(図17参照)。すなわち、図17に示すような画素回路とすることにより、2次元アクティブマトリクス型の液晶および薄膜ELを構成することができる。

【0052】上記説明では、強誘電体ゲートFETのサブスレート電極(基板電極)又はバックゲート電極(FETのチャネル領域半導体の電極)をソース電極に接続した2次元アクティブマトリクス型の光変調素子および発光素子について説明したが、本願発明による光変調素子および発光素子は上記説明の構成をとるものに限るものではない。

【0053】例えば、ソース電極をフローティング状態としても良いし、pチャネル型の強誘電体ゲートFET

とすることも可能である。

【0054】また、データ信号線にサブスレート電極(又はバックゲート電極)を接続し、上記説明と同様なデータ書き込みを行っても良い。この場合、データ書き込み後はソース電極V<sub>s</sub>の電圧により光変調素子PMを駆動するとよい(図18参照)。また、書き込み時、ソース電極はフローティング状態としても良い。

【0055】更に、強誘電体ゲートFETは、結晶半導体基板上に作成されても良く、絶縁基板上に薄膜形成されたものでも良い。

【0056】上記説明は、マトリクスのアクティブ回路として、強誘電体ゲートFETを1個使用したのについて説明したものであるが、本願発明による光変調素子および発光素子は、強誘電体ゲートFETを複数(最低2個)使用し、2次元アクティブマトリクス型の光変調素子並びに発光素子のアクティブ回路を構成することも可能である。

【0057】以下、図19~図21を参照して、強誘電体ゲートFETを2個使用した、2次元アクティブマトリクス型光変調素子の構成と駆動方法について説明する。

【0058】図19は、強誘電体ゲートFETを2個使用した、2次元アクティブマトリクス型光変調素子のマトリクスの一部の等価回路を示したものである。この例は、2次元マトリクス構成の複数の画素からなる光変調素子の、m列およびm+1列、並びにn行およびn+1行の画素回路を示したものであり、各画素回路は、ドレイン同志が接続された第1および第2の強誘電体ゲートFET(Tr1, Tr2)と光変調層PM等から構成されている。

【0059】同じ列の第1の強誘電体ゲートFET(Tr1)のソース電極が共に接続され、列単位でデータ信号V<sub>b</sub>(m)またはV<sub>b</sub>(m+1)が入力され、同じ列の第2の強誘電体ゲートFET(Tr2)のソース電極が共に接続され、列単位でデータ信号/V<sub>b</sub>(m)または/V<sub>b</sub>(m+1)が入力される。また、同じ行の第1の強誘電体ゲートFET(Tr1)のゲート電極が共に接続され、行単位で行選択信号V<sub>g</sub>(n)またはV<sub>g</sub>(n+1)が入力され、同じ行の第2の強誘電体ゲートFET(Tr2)のゲート電極が共に接続され、行単位で行選択信号/V<sub>g</sub>(n)または/V<sub>g</sub>(n+1)が入力される。各画素の画素電極1は強誘電体ゲートFET(Tr1, Tr2)のドレインに接続され、対向電極2には電圧V<sub>com</sub>が印加される。以下、この構成における駆動方法について説明する。

【0060】最初に、データの書き込み方法について説明する。まず、行順次で、ON又はOFFのデータを書き込む。

【0061】次にV<sub>g</sub>(\*)、/V<sub>g</sub>(\*)で行選択を行い(V<sub>g</sub>(\*)、/V<sub>g</sub>(\*)は同一の電圧とする、\*は行番号)、更にV<sub>b</sub>(\*)、/V<sub>b</sub>(\*)でデータ書き込みを行う(V<sub>b</sub>(\*)、/V<sub>b</sub>(\*)は相補信号とする、\*は列番号)。



【0062】なお、本構成は図7における強誘電体ゲートFETを2個に置き換えたものであり、より具体的な書込み方法については、「Vg(\*), /Vg(\*)が同一の電圧」および「Vb(\*), /Vb(\*)が相補信号」であることを考慮し、上述の図8～図12および表1に準じて考えることができるので、ここではその説明を省略する。

【0063】図20はデータ書込み時におけるある画素の強誘電体ゲートFETの分極状態を示したものであり、同図(A)はON書込みの状態を示し、同図(B)はOFF書込みの状態を示している。これら図より明らかなように、ON書込みのときは、第1の強誘電体ゲートFET(Tr1)の分極をON状態にし、第1の強誘電体ゲートFET(Tr2)の分極をOFF状態にする。一方、OFF書込みのときは、第1の強誘電体ゲートFET(Tr1)の分極をOFF状態にし、第1の強誘電体ゲートFET(Tr2)の分極をON状態にする。

【0064】次に、図21を参照して、光変調層PMの駆動方法について説明する。

【0065】まず、全画素にデータを書き込んだ後、以下のようにして光変調層PMの駆動を行う(図21(A)参照)。なお、下記式においては、行および列のサフィックスは省略して表す。

【0066】全画素共通にVbに、VhレベルとVlレベルの矩形波電圧を印加する。

【0067】全画素共通に/Vbに、Vbと逆位相の矩形波電圧を印加する。

【0068】全画素共通にVcomに、/Vbと同一の矩形波電圧を印加する。

【0069】更に、全画素共通にVgには分極状態を維持するための条件  $\{Vb + V_{qs}(L) \leq Vg \leq Vb + V_{qs}(H)\}$  の電圧を印加する。

【0070】全画素共通に/Vgには分極状態を維持するための条件  $\{/Vb + V_{qs}(L) \leq /Vg \leq /Vb + V_{qs}(H)\}$  の電圧を印加する。

【0071】なお、上記駆動例のVb, /Vb, Vcom, Vg, /Vgの各電圧波形図を図21(A)に示す。

【0072】このようにすることにより、各画素のドレイン電圧は図21(B)に示すようなものとなり、各画素の光変調層PMの電圧は図21(C)に示すようなものとなる。

【0073】このように、強誘電体ゲートFETを2個使用して、2次元アクティブマトリクス型光変調素子を構成することが可能であり、このような構成としても、従来のようなSRAM回路(トランジスタ数が6～8個)を使用するよりはトランジスタ数が少なく、又、SRAM回路と同様に安定なスタチック駆動が可能である。更に、交流駆動が可能であるから、2次元アクティブマトリクス型の液晶および薄膜EL(光変調素子)を構成することができる。なお、交流駆動とした場合には、図21(C)に示すように光変調層PMの電圧が電源に

対して約倍の交流駆動電圧となるから、光変調層の必要駆動電圧の約半分の電源で光変調層を駆動することが可能となり、素子サイズやコストを低減できるようになる。

【0074】なお、光変調層PMを発光層に置き換えることにより、強誘電体ゲートFETを2個使用して、2次元アクティブマトリクス型発光素子を構成することが可能であるのはいうまでもない。

【0075】また、上記説明のような構成例に限らず、強誘電体ゲートFETを1個使用して構成したものと同様に、種々の変更が可能であるのはいうまでもない。

【図面の簡単な説明】

【図1】基本的な2次元アクティブマトリクス型光変調素子の1画素の等価回路図

【図2】2次元アクティブマトリクス型光変調素子の階調制御の一例を説明する図

【図3】SRAMを用いたアクティブ回路の例を示す図

【図4】強誘電体ゲートFETの例を示す図

【図5】強誘電体ゲートFETの分極方向を説明する図

【図6】強誘電体ゲートFETの基本特性を説明する図

【図7】強誘電体ゲートFETを1個用いた、本発明による2次元アクティブマトリクス型光変調素子のマトリクスの一部の等価回路図

【図8】上記光変調素子の強誘電体ゲートFETがOFFの分極状態を説明する図

【図9】選択行の画素であってデータ線がONの場合の分極状態を説明する図

【図10】選択行の画素であってデータ線がOFFの場合の分極状態を説明する図

【図11】非選択行の画素であってデータ線がONの場合の分極状態を説明する図

【図12】非選択行の画素であってデータ線がOFFの場合の分極状態を説明する図

【図13】データ書込み方法を説明するための、2行×2列のマトリクスの回路図

【図14】上記マトリクス回路のFETの電圧波形図

【図15】強誘電体ゲートFETのスイッチ動作を説明する等価回路図

【図16】図15に示す等価回路において、駆動回路に定電流駆動を備えた構成を示す図

【図17】図15に示す等価回路において、駆動回路に交流電圧源を備えた構成を示す図

【図18】データ信号線にサブストレート電極を接続した画素回路の等価回路図

【図19】強誘電体ゲートFETを2個用いた、本発明による2次元アクティブマトリクス型光変調素子のマトリクスの一部の等価回路図

【図20】データ書込み時における上記光変調素子の強誘電体ゲートFETの分極状態を説明する図

【図21】上記光変調素子の光変調層の駆動方法を説明

する図

【符号の説明】

1 画素電極

2 対向電極

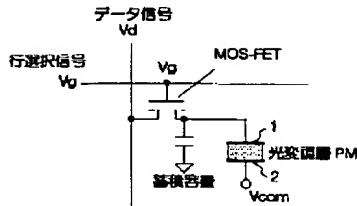
\* DR 駆動回路（アクティブ回路）

Tr 強誘電体ゲートFET

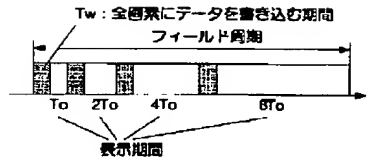
PM 光変調層

\*

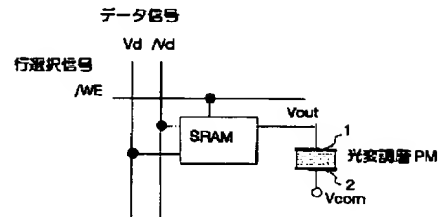
【図1】



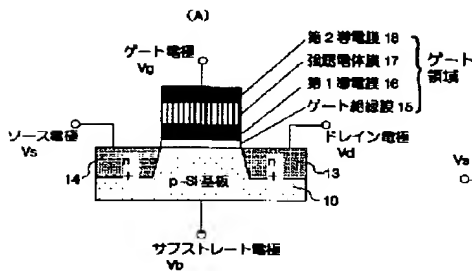
【図2】



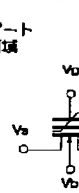
【図3】



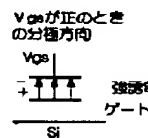
【図4】



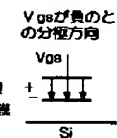
(B)



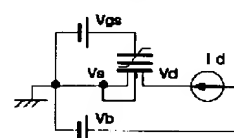
(A)



(B)

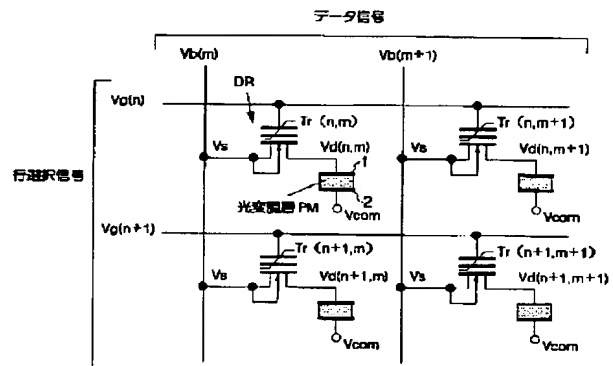
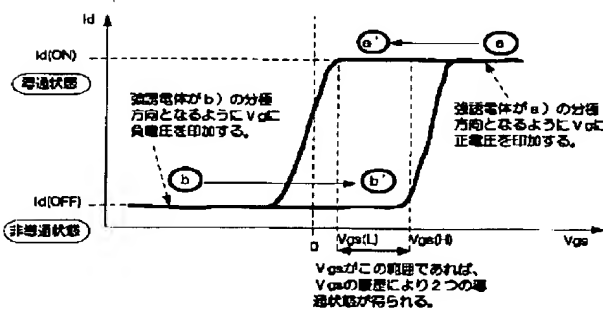


(C)



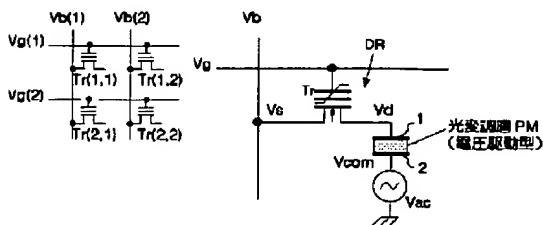
【図7】

【図6】

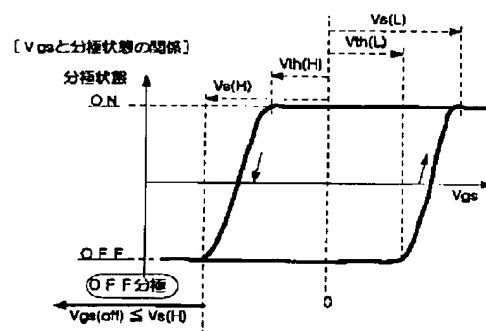


【図8】

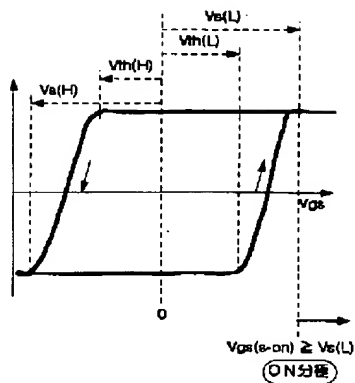
【図13】



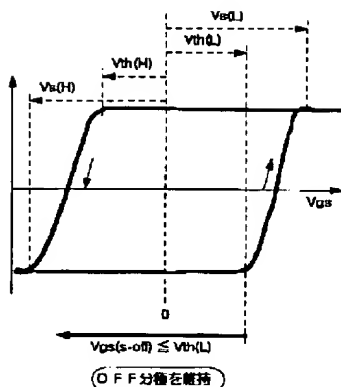
【図17】



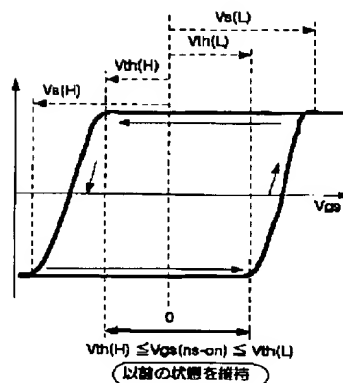
【圖9】



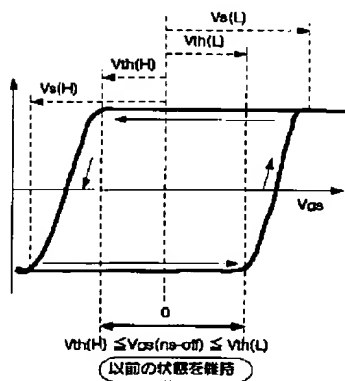
【図 10】



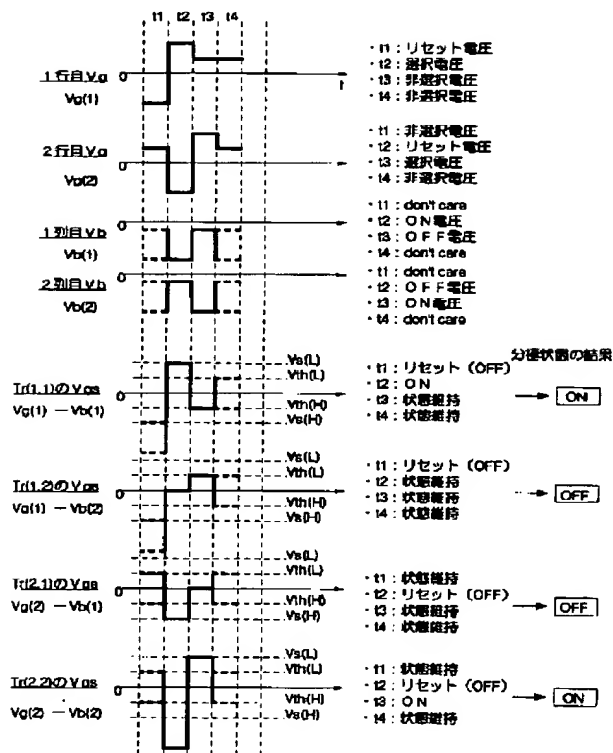
【圖 1 1】



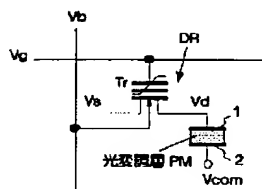
【图 12】



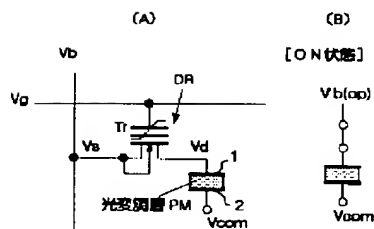
【圖 14】



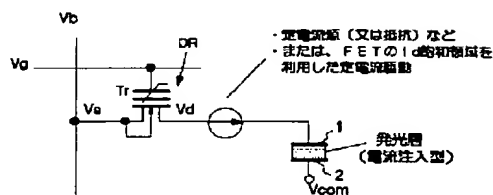
【图 18】



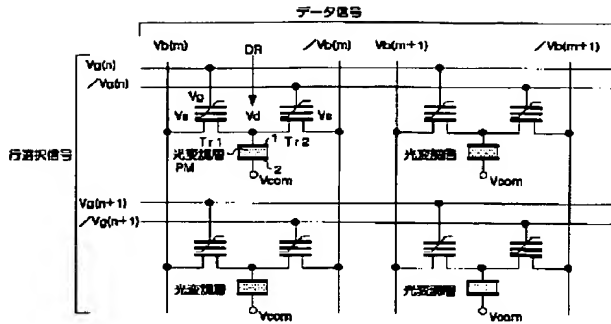
【图 15】



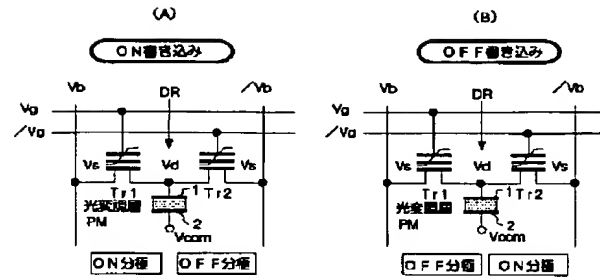
【图 16】



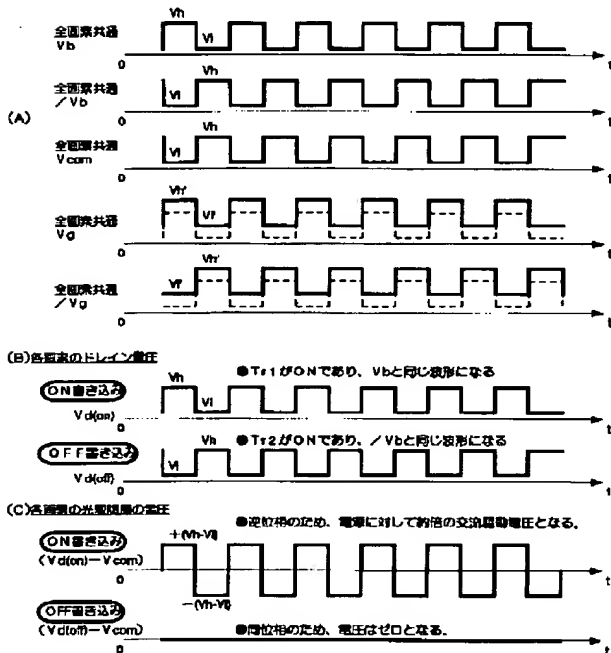
【図19】



【図20】



【図21】



**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☒ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**